เอกสารประกอบการสอน

วิชา ระบบดิจิตอลเบื้องต้น (Introduction to Digital System)

รหัส 4121703

บทที่ 9 วงจรฟลิปฟล็อป

(Flip-Flop Circuit)

หลักสูตรระดับปริญญาตรี

พุทธศักราช 2551 (ปรับปรุง 2554)

โดย

จุฑาวุฒิ จันทรมาลี

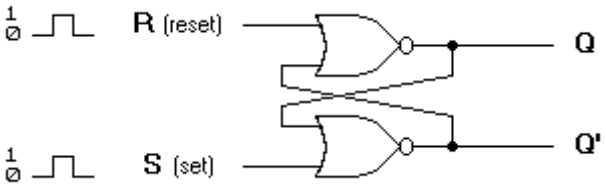
สาขาวิทยาการคอมพิวเตอร์

คณะวิทยาศาสตร์และเทคโนโลยี มหาวิทยาลัยราชภัฏสวนดุสิต

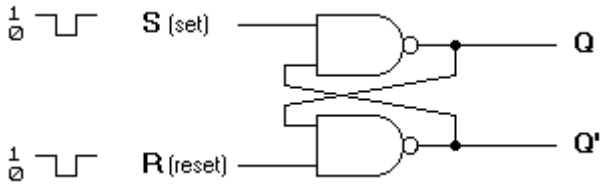
บทที่ 9 วงจรฟลิปฟล็อป (Flip-Flop Circuit)

9.1 บทนำ

ฟลิบฟลอบ เป็นวงจรไบสเตเบิลที่ประกอบด้วยลอจิกเกตต่าง ๆ เช่น NOR gate, NAND gate มาต่อกัน โดยเอาท์พุตของเกตตัวหนึ่งต่อย้อนกลับ (Feed back) เข้ามายังอินพุตอีกตัวหนึ่ง อีกตัวหนึ่งก็ทำเช่นเดียวกัน ดังตัวอย่างในรูปข้างล่าง **ฟลิบฟลอบ** เป็นชื่อของวงจรประเภทหนึ่งซึ่งมีสถานะทางเอาท์พุตที่เสถียรสองสถานะ และการเปลี่ยนแปลงเอาท์พุตเกิดจากการกระตุ้นทางอินพุต แสดงดังรูปที่ 9.1 (ก) และรูปที่ 9.1 (ข)



รูปที่ 9.1 (ก) แสดงฟลิบฟลอบอย่างง่ายในรูปของ NOR gates



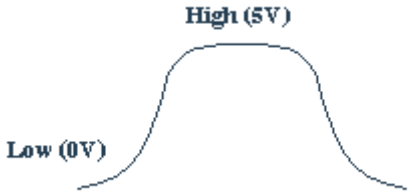
รูปที่ 9.1 (ข) แสดงฟลิบฟลอบอย่างง่ายในรูปของ NAND gates

ฟลิบฟลอบ เป็นอุปกรณ์เก็บข้อมูลหรืออุปกรณ์หน่วยความจำเพราะว่า เมื่อ FF ได้รับอินพุตที่เหมาะสม เอาท์พุตของ FF จะยังคงสถานะเช่นนั้นตลอดไป ไม่ว่าอินพุตเดิมจะยังคงอยู่หรือไม่ก็ตาม แต่ถ้าต้องการที่จะให้ เอาท์พุตของ FF เปลี่ยนสถานะ ก็จะต้องจ่ายอินพุตใหม่ที่เหมาะสมเข้าไป ฟลิบฟลอบ มีชื่อเรียกหลายชื่อ เช่น แลทช์ (Latch) และ ไบสเตเบิลมัลติไวเบรเตอร์ (Bistable Multivibrator) แลทช์ (Latch) จะใช้เรียก FF ที่เป็นแบบป้อนข้อมูลหรือค่าลอจิกเข้าโดยตรงทางอินพุต หรือไดเร็กฟลิบฟลอบ (Direct FF) และ FF ที่มีขาอีนาเบิล (Enable) ถูกกระตุ้นให้ทำงานด้วยลอจิก "1" ไบสเตเบิลมัลติไวเบรเตอร์ (Bistable Multivibrator) เป็นชื่อทางเทคนิค Flip Flop มีการนำมาใช้งานกันอย่างกว้างขวางในอุปกรณ์ดิจิตอล ซึ่งในบทนี้จะกล่าวเฉพาะ Flip Flop ที่สร้างขึ้นมา จากวงจร Gate เท่านั้น วงจร Flip Flop ที่พบในอุปกรณ์ดิจิตอลนั้นมีหลายแบบด้วยกันดังนี้

- RS Flip Flop
- D Flip Flop
- T Flip Flop
- JK Flip Flop

9.2 Clock pulse

Clock pulse (CK) เป็นสัญญาณ Logic ที่ทำให้ Flip Flop แต่ละตัวมีการเปลี่ยนแปลงสภาวะของ Logic ทาง Output ซึ่งมีรูปคลื่นและส่วนประกอบ แสดงดังรูปที่ 9.2 (ก) รูปที่ 9.2 (ข) และรูปที่ 9.3 (ค)



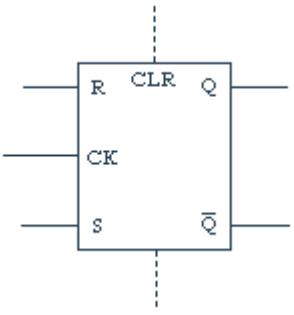
รูปที่ 9.2 (ก) แสดงสัญญาณ Clock pulse ทางทฤษฎี **รูปที่ 9.2 (ก) แสดงสัญญาณ Clock pulse ทางปฏิบัติ**

รูปที่ 9.2 (ค) แสดง Clock pulse

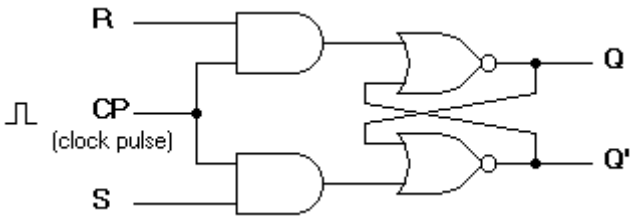
รูปที่ 1 เป็นรูปคลื่นของ Clock pulse (CK) ซึ่งเขียนให้เห็นความชันทางด้านที่คลื่นเปลี่ยนสภาวะจาก 0V เป็น +5V หรือที่เรียกว่าขอบขาขึ้น (Leading edge) กับส่วนที่เปลี่ยนจาก +5V เป็น 0V หรือที่เรียกว่าขอบขา ลง (Trailing edge) แต่ในทางเป็นจริงแล้ว ทั้งขอบขาขึ้น และขอบขาลงใช้เวลาสั้นมากเมื่อเทียบกับความกว้างของ pulse ดังนั้นเรามักเห็นเป็นเส้นตั้งฉาก

9.3 อาร์เอสฟลิปฟลอบ (RS Flip Flop)

RS Flip Flop จะมี 2 Input คือ Input R และ Input S แล้วมี 2 Output สัญลักษณ์ของ RS Flip Flop แสดงไว้ดังรูปที่ 9.3 (ก) และรูปที่ 9.3 (ข)



รูปที่ 9.3 (ก) แสดงสัญลักษณ์ของ RS Flip Flop



รูปที่ 9.3 (ข) แสดงโครงสร้างของ RS Flip Flop ที่สร้างจาก NOR Gate

ตารางที่ 9.1 แสดงตาราง Truth Table ของ RS Flip Flop

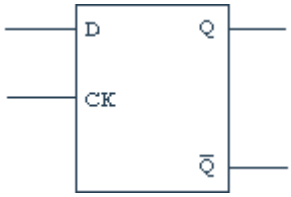
CK	R	S	Q	Q+
↑	0	0	ไม่เปลี่ยนแปลง	ไม่เปลี่ยนแปลง
↑	0	1	0	1(Set)
↑	1	0	1	0(Reset)
↑	1	1	-	-

การทำงานของ RS Flip Flop

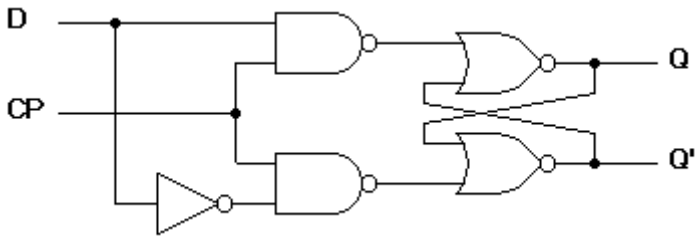
กล่าวคือในสภาวะที่สัญญาณ Clock (CK) เป็น Logic 0 Output ของ RS Flip Flop จะไม่มีการเปลี่ยนสภาวะ แต่ถ้า สัญญาณ Clock (CK) เปลี่ยนจาก Logic 0 เป็น Logic 1 Output ของ RS Flip Flop จะเปลี่ยนสภาวะตาม Truth table ของ RS Flip Flop คือ เมื่อ Input R เป็น Logic 0 และ Input S เป็น Logic 0 Output ไม่เปลี่ยนแปลง ถ้า Input R เป็น Logic 0 และ Input S เป็น Logic 1 Output จะมีค่าเป็น Logic 1 ถ้า Input R เป็น Logic 1 และ Input S เป็น Logic 0 Output จะมีค่าเป็น Logic 0 แต่ถ้า Input R เป็น 1 และ Input S เป็น 1 Output จะกำหนดไม่ได้ เป็นที่เข้าใจว่า Output จะมีการเปลี่ยนสภาวะตามเงื่อนไข RS Flip Flop เมื่อมีสัญญาณ Clock (CK) เป็น Logic 1 แต่เมื่อสัญญาณ Clock (CK) เป็น Logic 0 เราไม่สามารถเปลี่ยนแปลงสภาวะของ Output ได้เลย แต่ในบางครั้ง เราจำเป็นต้องให้ Output Q เป็น Logic 0 หรือ Logic 1 โดยไม่ต้องรอ สัญญาณ Clock มากระตุ้น ดังนั้นเราจึงเพิ่มขา Clear (CLR) และ Preset (PR) เข้าไป เพื่อที่สามารถกำหนดค่าของ Output Q ได้ โดยการกำหนดดังนี้ ถ้าต้องการให้ Output Q เป็น Logic 1 โดยไม่สนใจว่าสภาวะเดิมเป็นอะไร เราจะให้ขา Preset (PR) เป็น Logic 1 ในทำนองกลับกัน ถ้าต้องการให้ Output Q เป็น Logic 1 โดยไม่สนใจว่าสภาวะเดิมเป็นอะไร เราจะให้ขา Clear (CLR) เป็น Logic 1

9.4 ดีฟลิปฟลอบ D Flip Flop

D Flip Flop จะมี 1 Input คือ Input D แล้วมี 2 Output สัญลักษณ์ของ D Flip Flop แสดงไว้ดังรูปที่ 9.4 (ก) และรูปที่ 9.4 (ข)



รูปที่ 9.4 (ก) แสดงสัญลักษณ์ของ D Flip Flop



รูปที่ 9.4 (ข) แสดงโครงสร้างของ D Flip Flop ที่สร้างจาก NAND Gate

ตารางที่ 9.2 แสดงตาราง Truth Table ของ D Flip Flop

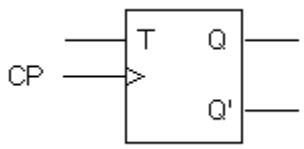
CK	D	Q_{n+1}
↑	0	0
↑	1	1
0	X	Q_n

การทำงานของ D Flip Flop

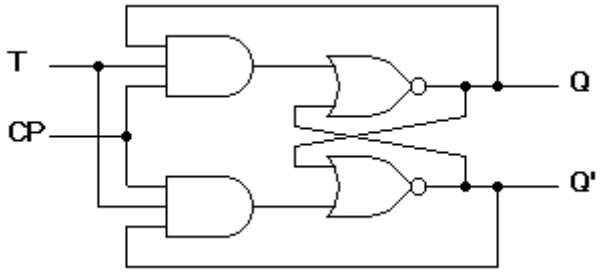
กล่าวคือในสภาวะที่สัญญาณ Clock (CK) เป็น Logic 0 ค่าของ D จเป็น Logic 1หรือ Logic 0 ก็ตาม Output ของ D Flip Flop จะไม่มีการเปลี่ยนสภาวะ คือจะคงสภาวะตัวเดิม แต่ถ้า สัญญาณ Clock (CK) เปลี่ยนจาก Logic 0 เป็น Logic 1 Output ของ D Flip Flop จะเปลี่ยนสภาวะตาม Truth table ของ D Flip Flop คือ เมื่อ Input D เป็น Logic 0 Output จะมีค่าเป็น Logic 0 ถ้า Input D เป็น Logic 1 Output จะมีค่าเป็น Logic 1

9.5 ทีฟลิปฟลอบ T Flip Flop

T Flip Flop จะมี 1 Input คือ Input Clock (CK) แล้วมี 2 Output สัญลักษณ์ของ T Flip Flop แสดงไว้ดังรูปที่ 9.5 (ก) และรูปที่ 9.5 (ข)



รูปที่ 9.5 (ก) แสดงสัญลักษณ์ของ T Flip Flop



รูปที่ 9.5 (ข) แสดงโครงสร้างของ T Flip Flop ที่สร้างจาก AND Gate และ NOR Gate

ตารางที่ 9.3 แสดงตาราง Truth Table ของ T Flip Flop

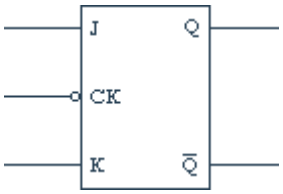
CK	Q_{n+1}
↑หรือ↓	$\overline{Q}_n$

การทำงานของ T Flip Flop

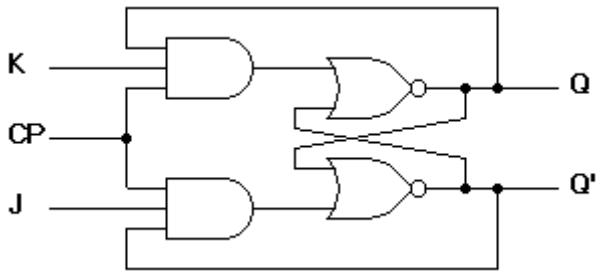
ลักษณะการทำงานของ T Flip Flop คือ จะเปลี่ยนสภาวะทุกครั้งที่มี Clock pulse (CK) ป้อนเข้ามาที่ Clock Input เช่น ถ้า Flip Flop อยู่ในสภาวะ Logic 0 เมื่อมี Clock pulse ป้อนเข้ามา มันจะเปลี่ยนสภาวะเป็น Logic 1 และถ้า Clock pulse อันต่อไป ถูกป้อนเข้ามาอีก มันก็จะเปลี่ยนสภาวะจาก Logic 1 เป็น Logic 0 อีก หรืออาจกล่าวได้ว่า เมื่อมี Clock pulse เข้ามาที่ขา T จะทำให้ Output Q เปลี่ยนสภาวะเป็นสภาวะตรงกันข้าม

9.6 เจเคฟลิปฟลอบ JK Flip Flop

JK Flip Flop จะมี 2 Input คือ Input J และ Input K แล้วมี 2 Output สัญลักษณ์ของ JK Flip Flop แสดงไว้ดังรูปที่ 9.6 (ก) และรูปที่ 9.6 (ข)



รูปที่ 9.6 (ก) แสดงสัญลักษณ์ของ JK Flip Flop



รูปที่ 9.6(ข) แสดงโครงสร้างของ JK Flip Flop ที่สร้างจาก AND Gate และ NOR Gate

ตารางที่ 9.4 แสดงตาราง Truth Table ของ JK Flip Flop

CK	I_n		I_{n+1}
	J	K	Q_{n+1}
↓	0	0	Q_n
↓	0	1	0
↓	1	0	1
↓	1	1	$\overline{Q}_n$

การทำงานของ JK Flip Flop

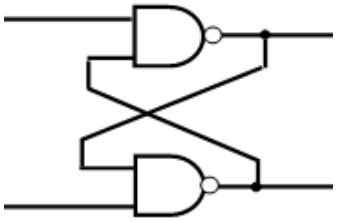
ลักษณะการทำงานของ JK Flip Flop มีลักษณะการทำงานเหมือนกับ RS Flip Flop แต่มีคุณลักษณะเพิ่มเติมจาก RS Flip Flop คือสามารถกำหนดสภาวะทาง Logic ของ Output ได้ค่า Input ทั้ง J และ K อยู่ในสภาวะ Logic 1 ทั้งคู่ กล่าวคือในสภาวะที่มีสัญญาณ Clock (CK) Input J เป็น 0 และ Input K เป็น 0 Output จะไม่เปลี่ยนแปลง ถ้า Input J เป็น 0 และ Input K เป็น 1 Output จะเป็น 0 ถ้า Input J เป็น 1 และ Input K เป็น 0 Output จะเป็น 1 แต่ถ้า Input J เป็น 1 และ Input K เป็น 1 Output จะเป็นเปลี่ยนสภาวะเป็นสภาวะตรงกันข้ามของสภาวะเดิม

9.7 สรุป

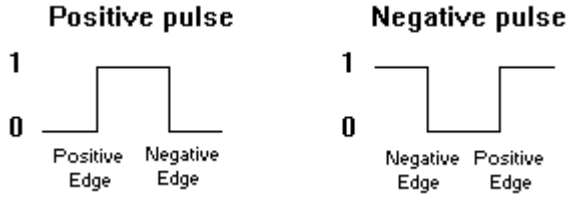
Flip Flop เป็น Multivibrator ชนิด Bistable คือมี Output คงที่อยู่ 2 สภาวะ สำหรับ Output ทั้ง สอง เราจะตั้งเงื่อนไขว่า Output หนึ่งจะเป็น Complement ของอีก Output หนึ่ง ในกรณีใด ๆ ก็ตาม หาก Output หนึ่งไม่เป็น Complement ของอีก Output หนึ่งแล้ว เราจะไม่ยอมให้เกิดขึ้น Output ทั้งสอง ดังกล่าว จะยังคงอยู่ในสภาวะอันใดอันหนึ่ง จนกว่าจะมี Input pulse มากระตุ้นถึงจะทำให้มีการเปลี่ยนแปลงสภาวะไป

แบบฝึกหัด

1. จงอธิบายความหมายของวงจรไบสเตเบิล และวาดภาพประกอบการอธิบาย
2. วงจร Flip Flop ที่พบในอุปกรณ์ดิจิตอลนั้นมีหลายแบบ ตามที่นักศึกษาเรียนมามีด้วยกันอยู่กี่ชนิดอะไรบ้าง
3. ฟลิปฟลอปมีการทำงานเปลี่ยนสภาวะทางด้านเอาต์พุตส่วนมากสัญญาณนาฬิกาเป็นสัญญาณรูปลักษณะเป็นอย่างไร จงวาดภาพประกอบคำอธิบาย
4. จากรูปวงจรจะเป็นฟลิบฟลอปชนิดอะไร พร้อมอธิบายการทำงานของวงจรดังกล่าว



5. จากรูปจงอธิบายความแตกต่างพร้อมทั้งวิธีการทำงานของสัญญาณดังกล่าว



6. จงวาดวงจรลอจิกในรูปแบบ Unlocked NOR gate flip-flop
7. จงวาดวงจรลอจิกในรูปแบบ Unlocked NAND gate flip-flop
8. จงอธิบายการทำงานของวงจรจากรูปที่ให้มา