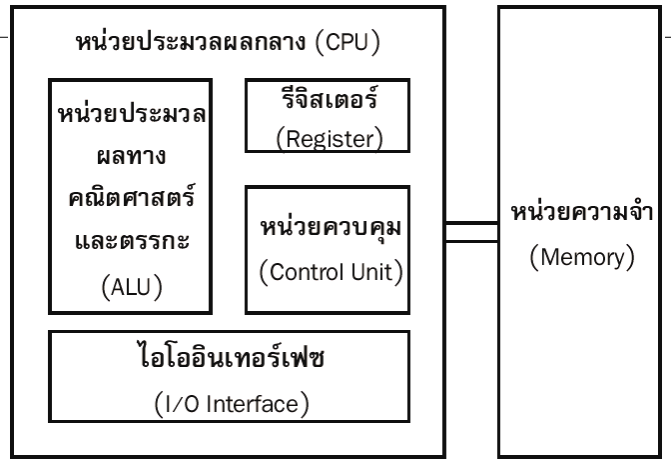
ระบบคอมพิวเตอร์และสถาปัตยกรรม
(Computer System and Architecture)

บทที่ 5
การออกแบบโปรเซสเซอร์
(Processor Design)

โปรเซสเซอร์และซีพียู

- โปรเซสเซอร์ (Processor) จะเป็นตัวประมวลผลเพียงตัวเดียว
- ซีพียู (CPU : Central Processing Unit) หมายถึงหน่วยประมวลผลกลางที่หมายรวมถึงตัวประมวลผล, หน่วยประมวลผลทางคณิตศาสตร์และตรรกะ (ALU) และหน่วยควบคุม (Control Unit)

องค์ประกอบของซีพียู



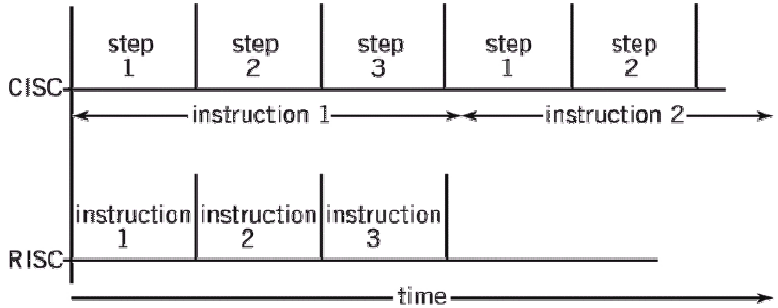
สถาปัตยกรรมของ CPU

- สถาปัตยกรรมของซีพียูเป็นตัวบ่งบอกถึงลักษณะเฉพาะ และลักษณะการทำงานที่สำคัญของซีพียู
- อาจจะเรียกอีกแบบหนึ่งว่า “สถาปัตยกรรมชุดคำสั่ง” (ISA : Instruction Set Architecture)
- ลักษณะเฉพาะของซีพียูนี้กล่าวรวมไปถึง จำนวนและประเภทของรีจิสเตอร์, วิธีการกำหนดโหมดของ address ของหน่วยความจำ และการออกแบบชุดคำสั่งต่าง ๆ (Instruction Sets)
- ปัจจุบันนี้แบ่งออกเป็น 2 กลุ่มคือ CISC (Complex Instruction Set Computers) และ RISC (Reduced Instruction Set Computers)

เปรียบเทียบซีพียูตระกูล CISC และ RISC

- การใช้หน่วยความจำ
- ประสิทธิภาพ
- การสนับสนุนของคอมไพเลอร์ (Compiler)

โครงสร้างการ execute คำสั่งใน CISC และ RISC



คุณลักษณะของคอมพิวเตอร์แบบ CISC

- มีการรวมเอาคุณสมบัติด้านต่าง ๆ เช่น การกำหนดโหมดขอ address (Addressing Mode) หรือประเภทคำสั่ง (Instruction Type) เข้าด้วยกันเพื่อปรับปรุงขีดความสามารถในการทำงาน
- นักออกแบบมองว่าปริมาณการใช้หน่วยความจำ และเวลาที่ใช้ในการเข้าถึงต่าง ๆ ในการทำงานของคอมพิวเตอร์ต้องมองเป็นราคาต่อหน่วย
- สถาปัตยกรรมแบบ CISC มีจำนวน Addressing Mode หลายแบบ
- ลักษณะนี้ส่งผลให้ชุดคำสั่งที่ใช้มีขนาด และใช้เวลาในการประมวลผลแตกต่างกัน
- ผู้ใช้ยอมรับและพอใจ เนื่องจากผู้ใช้สามารถเพิ่มจำนวน operation บนโปรแกรมที่มีขนาดเท่าเดิมได้

ยุคเชื่อมต่อระหว่าง CISC กับ RISC

- เดิมคอมพิวเตอร์ยุคแรกจะประมวลผลชุดคำสั่งทีละคำสั่งในหนึ่งช่วงเวลา
- นักออกแบบได้พยายามที่จะปรับปรุงอัตราการประมวลผลชุดคำสั่งให้เพิ่มมากขึ้นโดยใช้วิธีการโอเวอร์แลป (Overlap) ชุดคำสั่งให้มีมากกว่าชุดคำสั่งในการประมวลผลแต่ละครั้ง
- วิธีการโอเวอร์แลปดังกล่าวนี้ต่อมารู้จักกันในชื่อของ Pipelining และ Superscalar
- หลักการทั่ว ๆ ไป ของการประมวลผลชุดคำสั่งคือคอมพิวเตอร์จะโหลดชุดคำสั่งที่ต้องการประมวลผลมาจากหน่วยความจำ เราเรียกขั้นตอนนี้ว่าดึงหรือเฟ็ตช์คำสั่ง (Fetch)

ยุคเชื่อมต่อระหว่าง CISC กับ RISC

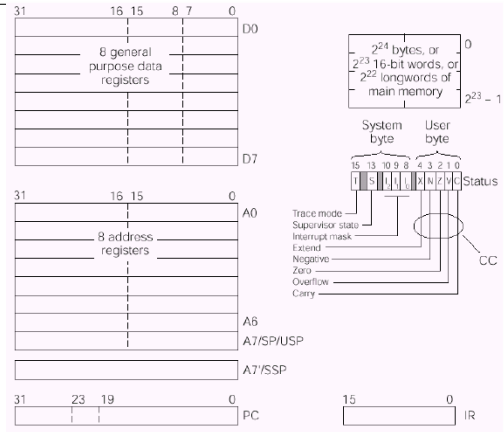
- หลังจากนั้นก็จะทำการประมวลผลหรือเอ็กซิคิวต์ (Execute) แล้วจึงจะเฟ็ตช์ชุดคำสั่งต่อไปเข้ามาหลังจากประมวลผลชุดคำสั่งแรกเสร็จสิ้น
- วิธีการเพิ่มประสิทธิภาพด้วยการโอเวอร์แลปก็คือการเฟ็ตช์ชุดคำสั่งถัดไปเข้ามาก่อนที่ชุดคำสั่งแรกจะทำเสร็จ เราเรียกว่า พรีเฟ็ตช์ (Prefetch)
- อีก เทคนิคที่คล้ายกันเรียกว่าซุปเปอร์สเกลลาร์ (Superscalar) ซึ่งเป็นเทคนิคที่ใช้กับโปรเซสเซอร์ที่มีความสามารถรับชุดคำสั่งเข้าไปประมวลผลได้ทีละหลาย ๆ ชุดคำสั่งพร้อม ๆ กัน
- เทคนิคไปป์ไลน์และซุปเปอร์สเกลลาร์ไม่สามารถนำมาใช้กับ CISC ได้ เนื่องจาก CISC มีความยาวของชุดคำสั่งที่ไม่แน่นอน และ Addressing mode ที่หลากหลายและซับซ้อนทำให้ลดประสิทธิภาพของ CISC ลง

ลักษณะเฉพาะของ RISC

- หนึ่งชุดคำสั่งต่อวงรอบ
- ความยาวของชุดคำสั่งคงที่
- ติดต่อกับหน่วยความจำด้วยคำสั่งโหลดและสโตร์เท่านั้น
- การใช้การกำหนดโหมดของแอ็ดเดรสที่เรียบง่าย
- การใช้โอเปอเรชันที่เรียบง่ายและมีจำนวนจำกัด
- การหน่วงเวลาชุดคำสั่งบางประเภท
- การใช้เทคนิคพรีเฟ็ตช์ และสเปคคูเลทีฟ
- การแบ่งหน้าที่ให้คอมไพเลอร์จัดการ

กรณีตัวอย่าง CISC : Motorola MC68000

- **สถาปัตยกรรมของซีพียูและหน่วยความจำ**
  - CPU register
  - Memory



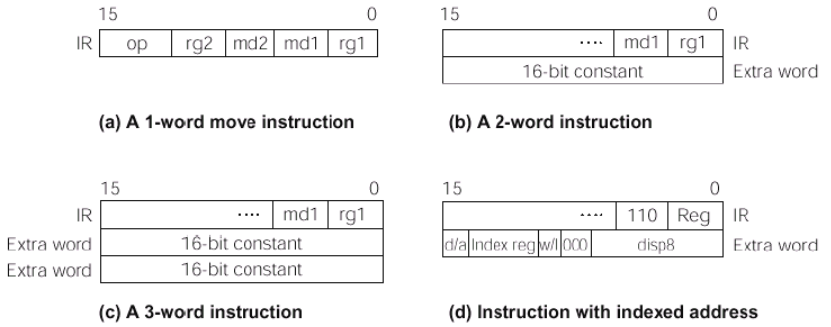
กรณีตัวอย่าง CISC : Motorola MC68000

- การกำหนดโหมดของแอ็ดเดรส (Addressing Mode)

Addressing Mode Name	Mode #	Reg #	Notation	Extra Word	Operand Location
Data Register Direct	0	0-7	Dn	0	Dn
Address register direct	1	0-7	An	0	An
Address register indirect	2	0-7	(An)	0	Mem[An]
Autoincrement	3	0-7	(An)+	0	Mem[An];An<—An+Ws
Autodecrement	4	0-7	-(An)	0	An<—An-Ws;Mem[An]
Based	5	0-7	Disp16(An)	1	Mem[An+disp16]
Based indexed short	6	0-7	Disp8(An,XnLo)	1	Mem[An+XnLo+disp8]
Based indexed long	6	0-7	Disp8(An,Xn)	1	Mem[An+Xn+disp8]
Absolute short	7	0	Addr16	1	Mem[addr16]
Absolute long	7	1	Addr32	2	Mem[addr32]
Relative	7	2	Disp16(PC)	1	Mem[PC+disp16]
Relative indexed short	7	3	Disp8(PC,XnLo)	1	Mem[PC+XnLo+disp8]
Relative indexed long	7	3	Disp8(PC,Xn)	1	Mem[PC+Xn+disp8]
Immediate	7	4	#data	12	No location,data is value

กรณีตัวอย่าง CISC : Motorola MC68000

- รูปแบบคำสั่งของ MC68000 (Instruction Formats)

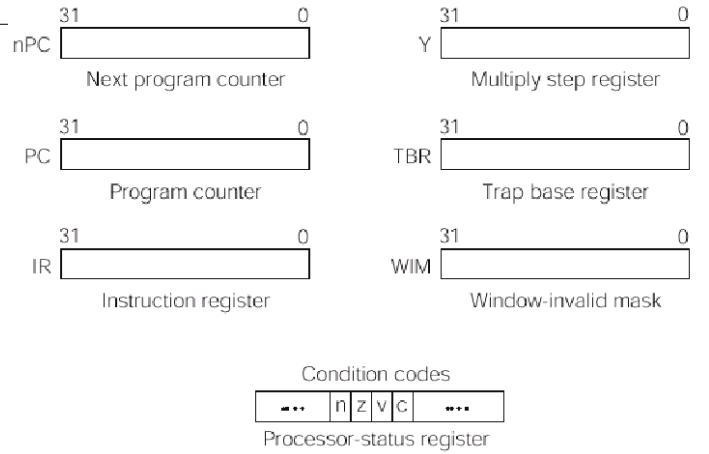


- ชุดคำสั่งของ MC68000 (Instructions Sets) ตามตาราง หน้า 13

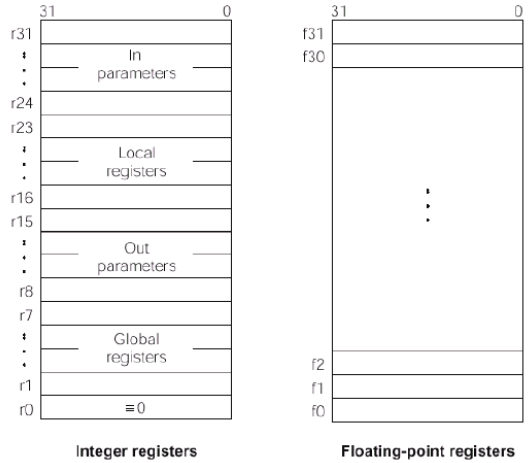
กรณีตัวอย่าง RISC : The SPARC

- สถาปัตยกรรมของโปรเซสเซอร์และหน่วยความจำของ SPARC
  - แยกกลุ่มรีจิสเตอร์ระหว่าง Integer register และ Floating-point register
  - มี Branch delayที่ต้องการโปรแกรมเคาเตอร์ (PC) 2 ชุด
  - Processor state ประกอบด้วยรีจิสเตอร์ 32 ชุด
  - ชุดคำสั่งมีขนาดคงที่ 32 บิต
  - อินสตรัคชันรีจิสเตอร์ (IR)มีขนาด 32 บิต
  - หน่วยความจำมีขนาด 32 บิตมีขนาดได้ถึง 232 ไบต์
  - มีการกำหนดใช้ MMU (Memory Mapping Unit) ทำให้สามารถอ้างอิงเนื้อที่บนหน่วยความจำได้มากขึ้น

กรณีตัวอย่าง RISC : The SPARC



กรณีตัวอย่าง RISC : The SPARC



กรณีตัวอย่าง RISC : The SPARC

- การกำหนดโหมดของแอ็ดเดรสของ SPARC (Addressing Mode)
  - register + register
  - register + sign-extended, immediate 13-bit constant

กรณีตัวอย่าง RISC : The SPARC

- รูปแบบคำสั่งของ SPARC (Instruction Formats)